

计算机组成原理

Homework 1

Made by TA

2023 年 3 月 8 日

注意：本次作业提交 DDL 为 3.22 下午上课前，与第二周作业一起提交。超过该时间的提交会被扣除一定的作业分数。

题目 1. 德·摩根律(DeMorgan's Law)的公式为

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

请证明这两个式子的正确性。根据德·摩根律，请仅使用二输入与非门搭建一个二输入异或门。(对于使用的与非门数量不做要求)

提示：证明德·摩根律时可以考虑使用真值表。搭建异或门时，可考虑与非门与三种逻辑门之间的联系。

题目 2. 请将下面的数据按从小到大的顺序排序：

$$(101001)_2 \quad (52)_8 \quad (00101001)_{BCD} \quad (33)_{16}$$

哪些呢？

- (3) 注意到图中下部有着 INPUT、OUTPUT 的内容，它们对应着计算机的 I/O 接口。请结合自己所学的知识，分别列举两种常用的输入设备和输出设备。

题目 4. 在时序逻辑电路中，always 赋值语句中的敏感变量不仅可以是触发信号的上升沿(posedge)，也可以是下降沿(negedge)。请编写 Verilog 程序，搭建一个 8bit 位宽的寄存器，要求所有触发器都应该由 clk 的下降沿(负边缘)触发。同时，寄存器采用高电平有效的同步复位方式，复位值为 0x12 而不是零。模块的部分信息如下所示：

```

module Reg (
    input clk ,
    input reset ,
    input [7:0] d,
    output reg [7:0] q
);
// Write your code here
endmodule

```

请根据上面的内容补全 Verilog 代码。如果将同步复位改为异步复位，那么应当做出怎样的修改呢？

实验题 1. Verilog OJ 平台 <https://verilogoj.ustc.edu.cn/oj/> 上第 48 题【计数器】。在作业中请不要附上代码，而是提交带 id 的 AC 截图，示例如下：

ID	状态	题名	难度	通过 / 提交	Tag	总分
46	●	上升沿检测	Medium	575 / 631	无	10
47	●	双边沿检测	Medium	551 / 585	无	10
48	●	计数器	Medium	565 / 579	无	10
49	●	十进制计数器	Medium	568 / 580	无	10
50	●	带使能的计数器	Hard	566 / 581	无	10

图 2: 提交截图示例

思考题 1. 考虑一些常见的移位操作：逻辑右移、算术右移、逻辑左移等。其中逻辑右移只需要将二进制数整体右移，在最左边补 0 即可；而算术右移则需要将二进制数整体右移，并且在最左边补上符号位。例如：10101101 逻辑右移一位为 01010110，算术右移一位为 11010110。

我们不妨假定输入的原始数据和移位位数均为 32bit 整数。这些操作可以通过组合逻辑电路实现吗？你可以在 Logisim 中验证自己的设想。当然，你也可以通过编写 Verilog 程序，通过 Vivado 生成电路图，与自己的设想比对。

Tips: 思考题不纳入作业评分，但助教仍建议花一些时间思考以加深理解。我们鼓励大家进行思考，对于有创意、有深度的答案我们会在习题课上进行分享。